(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平8－101813

(43)公開日　平成８年(1996)４月16日

(51)Int.Cl.[6]	識別記号	庁内整理番号	Ｆ Ｉ	技術表示箇所
Ｇ０６Ｆ　13/42	３１０	9188－5E		

審査請求　未請求　請求項の数２　ＯＬ　（全 5 頁）

(21)出願番号　特願平6－237192

(22)出願日　平成６年(1994)９月30日

(71)出願人　000005120
日立電線株式会社
東京都千代田区丸の内二丁目１番２号

(72)発明者　新沢　正治
茨城県土浦市木田余町3550番地　日立電線株式会社アドバンスリサーチセンタ内

(72)発明者　杉山　剛博
茨城県土浦市木田余町3550番地　日立電線株式会社アドバンスリサーチセンタ内

(72)発明者　高橋　進
茨城県土浦市木田余町3550番地　日立電線株式会社アドバンスリサーチセンタ内

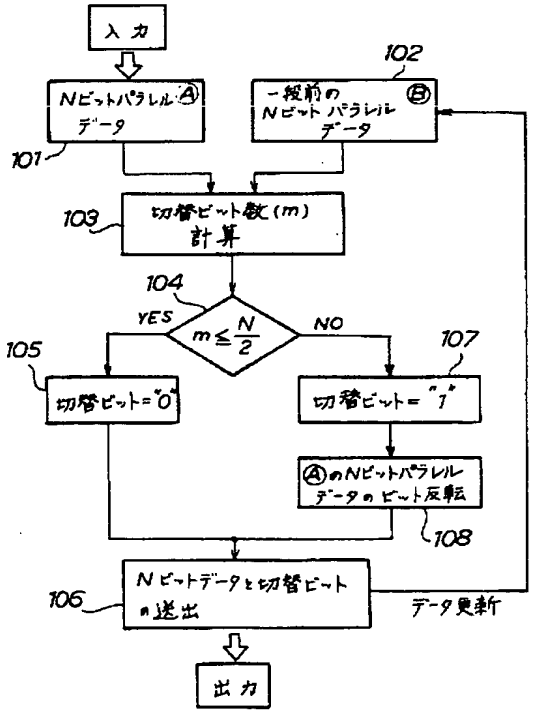
(74)代理人　弁理士　絹谷　信雄

(54)【発明の名称】　データの変調復調方法

(57)【要約】

【目的】　同時スイッチングノイズを低減し、消費電力を低減するデータの変調復調方法を提供する。

【構成】　デジタルの多ビットパラレルデータを各ビットのタイミングを合わせて送受信するに際して、送信側では同じタイミングで切り替わるビットの数を予め計測し、この計測値に応じて送信するデータを切り替わるビットの数が少なくなるように変調し、受信側では受信したデータを上記計測値に応じて復調する。



1

【特許請求の範囲】

【請求項１】　デジタルの多ビットパラレルデータを各ビットのタイミングを合わせて送受信するに際して、送信側では同じタイミングで切り替わるビットの数を予め計測し、この計測値に応じて送信するデータを切り替わるビットの数が少なくなるように変調し、受信側では受信したデータを上記計測値に応じて復調することを特徴とするデータの変調復調方法。

【請求項２】　送信側では、切り替わるビットの数がパラレルデータの全ビット数の１／２より多いときに、パラレルデータとは別に送信する切替ビットの信号を変調すると共にパラレルデータの全ビットを反転し、受信側では、上記切替ビットの信号が変調されているとき、受信したパラレルデータの全ビットを反転することを特徴とする請求項１記載のデータの変調復調方法。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、デジタルの多ビットパラレルデータの変調復調方法に係り、特に、同時スイッチングノイズを低減し、消費電力を低減するデータの変調復調方法に関するものである。

【０００２】

【従来の技術】電子技術の発展に伴いデジタルデータの処理速度は急速に高まっている。例えば、パーソナルコンピュータのクロックサイクルは１００ＭＨｚになろうとしている。一方、同時に処理するパラレルデータのビット数もまた１６ビット、３２ビット、６４ビットと増加の一途にある。

【０００３】デジタルデータの処理のために、コンピュータ同士の間、コンピュータ内でのＩＣデバイス（チップ）間、或いはそのＩＣデバイス内でデータ送受信が行われる。ここでは、これらデータ送受信を行う送信側及び受信側からなる系をすべて送受信系という。送受信系では、上記のように多ビットパラレルデータを各ビットの切り替わるタイミングを合わせて送受信することになる。また、このような送受信系では、複数のビット単位の信号線よりなる信号線グループに対し、その信号数よりも少ない本数の電源線やグランド線を設けることにより、信号や電源のための入出力端子の個数が増加することを抑制している。

【０００４】送受信系等のデジタルデータ処理にはＣＭＯＳ回路が多く用いられている。ＣＭＯＳ回路を利用したデジタルの信号処理回路は、各ビットは高電位（ハイレベル）か低電位（ロウレベル）かになる。ＣＭＯＳ回路では、この切替え（ハイレベルからロウレベル、或いはロウレベルからハイレベル）のとき以外には、リーク電流等の極微小な電流を除いて電流が流れないため、消費電力が少ないという特長がある。反面、切替えのときには、出力ラインや負荷を充電したり放電したりするための過渡電流が流れ、かつ電力が消費される。

2

【０００５】デジタルデータの処理速度が高速化し、また同時処理するビット数が増加すると、単位時間当たりに切替えらえれるビットの個数が増加するので、ＣＭＯＳ回路には多くの過渡電流が流れ、消費電力が増大することになる。

【０００６】

【発明が解決しようとする課題】多ビットパラレルデータを各ビットの切り替わりタイミングを合わせて送受信する系では、ハイレベルからロウレベルへ、或いはロウレベルからハイレベルへ切り替える度に電源線やグランド線に切替えに伴う過渡電流が流れ、かつこれによって電力が消費される。近年の処理速度の高速化及びビット数の増加の傾向は、過渡電流の増大や、その過渡電流の時間変化量の増大を招いている。

【０００７】ところが、大きな過渡電流或いはその時間変化が、電源線やグランド線に寄生するインダクタンスを介して電源線やグランド線に大きな誘導電流を発生させ、送受信系やその他の系に重大な影響を与えるということが判明した。つまり、誘導電流によって電源線やグランド線の電位が変動し、この電位の変動のために系に誤動作が発生するのである。このような誘導電流による電位変動（ノイズ）を同時スイッチングノイズと呼ぶ。

【０００８】同時スイッチングノイズによる誤動作を避けるためには、一般に、電源線やグランド線の本数を多くして、１本当たりに流れる最大の誘導電流を減らす方法が取られる。しかし、電源線やグランド線の増加は、例えばＩＣデバイスのチップ当たりの入出力端子数の増加につながり、システムの構成を複雑にする。また、１本当たりに流れる誘導電流を減らすことはできても、誘導電流の全体を減らすわけではないから、電力消費の増大やチップの発熱の増大は避けることはできない。

【０００９】このように、過渡電流の増大は、デジタルデータの処理の高速化や通信の高速化に重大な障害となっている。

【００１０】そこで、本発明の目的は、上記課題を解決し、同時スイッチングノイズを低減し、消費電力を低減するデータの変調復調方法を提供することにある。

【００１１】

【課題を解決するための手段】上記目的を達成するために本発明は、デジタルの多ビットパラレルデータを各ビットのタイミングを合わせて送受信するに際して、送信側では同じタイミングで切り替わるビットの数を予め計測し、この計測値に応じて送信するデータを切り替わるビットの数が少なくなるように変調し、受信側では受信したデータを上記計測値に応じて復調するものである。

【００１２】送信側では、切り替わるビットの数が全ビット数の１／２より多いときに、パラレルデータとは別に送信する切替ビットの信号を変調すると共にパラレルデータの全ビットを反転し、受信側では、上記切替ビットの信号が変調されているとき、受信したパラレルデー

タの全ビットを反転してもよい。

【００１３】

【作用】上記構成により、同じタイミングで切り替わるビットの数が少なくなるので、同時スイッチングノイズが低減され、消費電力が低減される。

【００１４】切り替わるビットの数が全ビット個の１／２より多いときに全ビットを反転すると、切り替わるビットの個数は１／２より少なくなる。従って、切り替わるビットの個数は常に全ビット個数の１／２より少ないことになる。また、パラレルデータとは別に送信する切替ビットの信号により、送信側で反転したパラレルデータのみを受信側で再度反転することができる。

【００１５】

【実施例】以下本発明の一実施例を添付図面に基づいて詳述する。

【００１６】図１及び図２に本発明のデータの変調復調方法を実施するための流れ図を示す。図１には、本発明を適用する送受信系のデータ送信側における変調方法が示されており、図２には、データ受信側における復調方法が示されている。

【００１７】まず、送信側の動作を説明する。

【００１８】送信側では、これから送信するために入力されたＮビットのパラレルデータがデータセット部Ａにセットされる（１０１）。Ｎは、この送受信系におけるパラレルデータの構成ビット数、即ち１６、３２、６４・・である。一方、この時点でデータセット部Ｂには、直前に送信されたＮビットのパラレルデータ（１回前の出力）が既にセットされているものとする（１０２）。

【００１９】次に、データセット部Ａのパラレルデータとデータセット部Ｂのパラレルデータとの各ビットの比較を行ない、直前に送信されたパラレルデータとこれから送信するためのパラレルデータとで切り替わるビット数ｍを計算（計測）する（１０３）。そして、この計測値であるビット数ｍを全ビット数Ｎの１／２と比較する（１０４）。

【００２０】ｍがＮ／２以下のときは、パラレルデータとは別に設けた切替ビットの信号を“０”に変調する（１０５）。このときには、データセット部Ａのパラレルデータをそのまま出力としてクロックパルスに同期して送信することになる（１０６）。そして、この送信したパラレルデータをデータセット部Ｂにセットする（１０２）。

【００２１】ｍがＮ／２より大きいときには、切替ビットの信号を“１”に変調する（１０７）。このときには、データセット部Ａのパラレルデータの全ビットを反転する（１０８）。この反転したパラレルデータを出力としてクロックパルスに同期して送信することになる（１０６）。さらに、この送信したパラレルデータ（反転したもの）をデータセット部Ｂにセットする（１０２）。

【００２２】以後、新しい入力と１回前の出力との比較により切り替わるビット数ｍを計算して、その計算値に応じて変調が繰り返される。このように、切り替わるビットの数がパラレルデータの全ビット数の１／２より多いときにパラレルデータの全ビットを反転し、そうでなければ無反転という変調方式でデータ変調することにより、送受信されるＮビットのパラレルデータのうちクロックパルスに同期して切り替わるビットの数は、常に、Ｎ／２以下となる。

【００２３】ここで、切替ビットの信号は、ビット数ｍの計算結果に基づく信号であって、出力されたデータが無反転のデータか反転のデータかを知らせるものであり、送信側がＮビットのパラレルデータを送信するとき、このパラレルデータに加え、かつ同期して送信する。

【００２４】次に受信側の動作を説明する。

【００２５】受信側では、送信側が送信したＮビットのパラレルデータと切替ビットの信号とを同時に受信する（２０１）。次いで、切替ビットの信号が“０”か“１”かを判定する（２０２）。

【００２６】切替ビットの信号が“０”に変調されていたら、受信したパラレルデータをそのまま復調されたデータとする（２０３）。逆に、切替ビットの信号が“１”に変調されていたら、受信したパラレルデータの全ビットを反転する（２０４）。この反転したパラレルデータを復調されたデータとする（２０３）。

【００２７】このように、切替ビットの信号が“１”のとき受信したパラレルデータの全ビットを反転し、そうでなければ無反転という復調方式でデータ復調することにより、送信側の変調方式に整合することができる。

【００２８】以上の実施例は変調及び復調の方法を説明するものであり、これら変調及び復調のための回路はどのような構成をとっても構わない。なお、このような回路は、簡素な論理回路で実現することができる。

【００２９】本発明のデータの変調復調方法は、特に半導体チップ間のデータ送受信系において効果が大きい。というのは、送信側となる半導体チップでは、容量の大きい駆動回路を用いて長い配線と負荷を充放電する必要があるからである。もちろん、チップ内でのデータ送受信にも適用できる。また、データの受け渡しだけを目的とするデータ送受信のみならず、変調したデータを様々に加工処理した後、最終的なデータを復調するような場合も、本発明の変調復調方法に含まれる。即ち、変調してから復調するまでに行われる加工処理の間で、切り替わるビットの個数が少なくなるように変調することで、同時スイッチングノイズや消費電力を低減する効果がある。

【００３０】従来は、送信側と受信側とが別々の半導体チップにある場合、その間の結線に寄生する寄生インダクタンスが大きく、同時スイッチングノイズを減らすた

5

めには多数の電源線やグランド線を配置する必要があったが、本発明の方法により、切り替わるビットの個数が全ビット数の１／２以下になるため、必要な電源線やグランド線の本数を大幅に低減することができた。

【００３１】また、出力の駆動にＣＭＯＳのドライバ回路を用いた場合、この回路での消費電力はほぼ単位時間当たりの切り替わるビットの個数に比例することになるので、本発明の方法によって切り替わるビットの数が減ることにより、消費電力を大幅に低減することができる。

【００３２】

【発明の効果】本発明は次の如き優れた効果を発揮する。

【００３３】（１）多ビットパラレルデータの送受信に際して、同時に切り替わるビットの数が少なくなるため、同時スイッチングノイズが低減され、これによって系の誤動作が発生しにくくなり、信頼性が向上する。

【００３４】（２）切り替わるビットの数が少なくなることにより、回路の消費電力が抑えられる。

6

【００３５】（３）送受信における同時スイッチングノイズが低減され、かつ回路の消費電力が抑えられるので、処理速度の高速化や同時処理するビット数の増加が容易となる。

【図面の簡単な説明】

【図１】本発明の一実施例を示す送信側の流れ図である。

【図２】本発明の一実施例を示す受信側の流れ図である。

10 【符号の説明】

１０１　パラレルデータをデータセット部Ａにセットするステップ

１０２　パラレルデータをデータセット部Ｂにセットするステップ

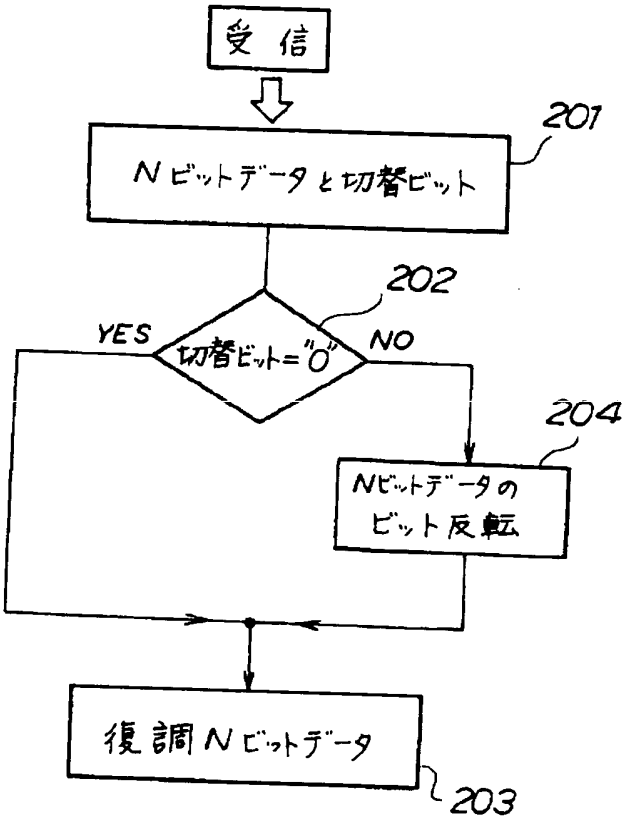
１０３　切り替わるビット個数を計算するステップ

１０４　ビット個数を全ビット数と比較するステップ

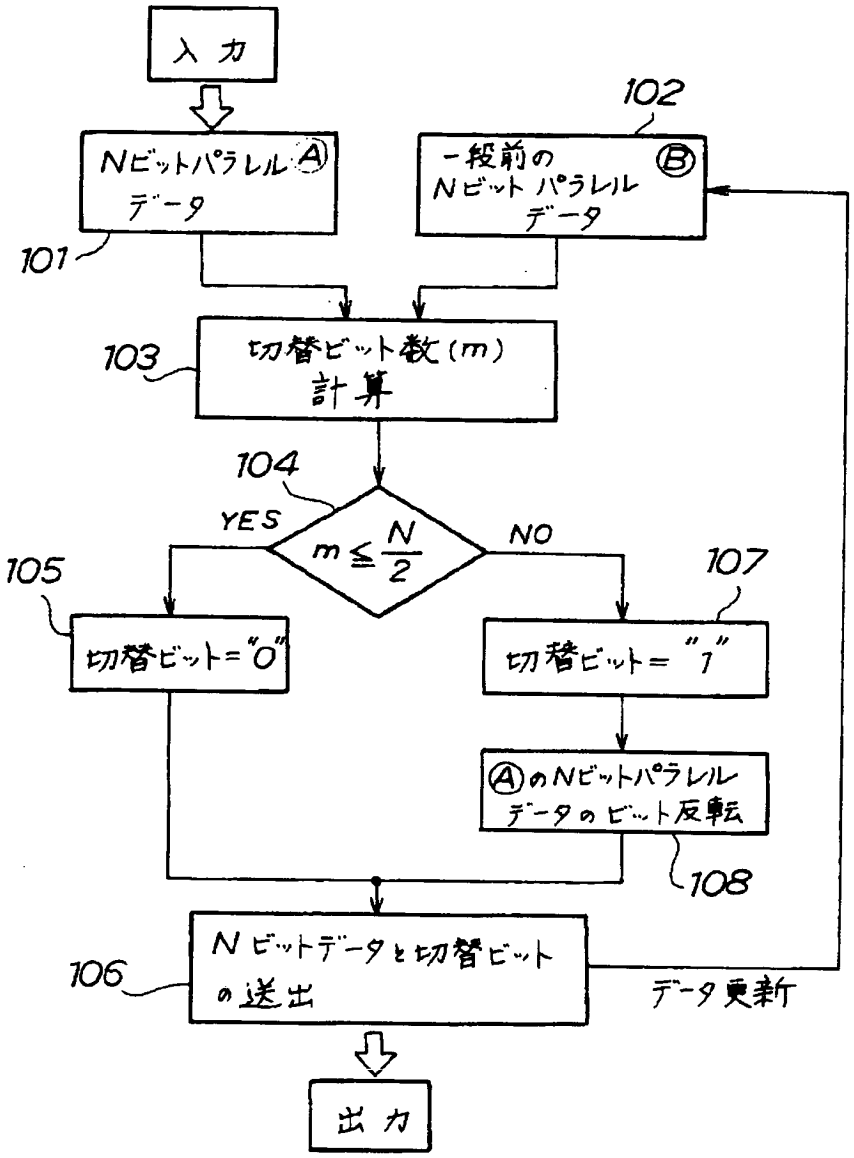
１０６　パラレルデータをクロックパルスに同期して送信するステップ

１０８　パラレルデータの全ビットを反転するステップ

【図２】



【図１】


入力
Nビットパラレル Ⓐ データ
101
102
一段前の Nビット パラレル Ⓑ データ
103
切替ビット数(m) 計算
104
YES
$m \leq \frac{N}{2}$
NO
105
切替ビット="0"
107
切替ビット="1"
Ⓐの Nビットパラレル データの ビット反転
108
106
Nビットデータと切替ビット の送出
データ更新
出力